

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-341734

(43)Date of publication of application : 24.12.1993

(51)Int.Cl.

G09G 3/36  
G02F 1/133

(21)Application number : 04-150589

(71)Applicant : FUJITSU LTD

(22)Date of filing : 10.06.1992

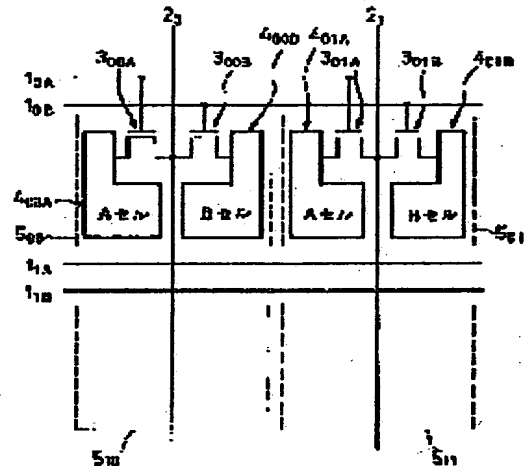
(72)Inventor : HARAGUCHI MUNEHIRO  
YAMAGUCHI TADAHISA  
ODA MASAMI

## (54) LIQUID CRYSTAL DISPLAY DEVICE

## (57)Abstract:

**PURPOSE:** To realize a liquid crystal display device for multi-gradation of low cost by suppressing increasing of numbers of constitution of a data bus driver when multi-gradation display is performed constituting with plural cells which can control independently display elements.

**CONSTITUTION:** In a liquid crystal display device, display elements 500, is constituted of 7 plural cells 400A, 400B, each cell in the display elements are connected to the same data bus line 20,... via switching means 300A, 300B, connected to scanning bus lines 10A, 10B,... in which gates are different, and this device is constituted so that a scanning signal is supplied to the scanning bus lines 10A, 10B... with different timing.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-341734

(43)公開日 平成5年(1993)12月24日

(51)Int.Cl.<sup>5</sup>

G 0 9 G 3/36

G 0 2 F 1/133

識別記号

5 7 5

庁内整理番号

7319-5G

7408-2K

F I

技術表示箇所

審査請求 未請求 請求項の数5(全 9 頁)

(21)出願番号

特願平4-150589

(22)出願日

平成4年(1992)6月10日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者

原口 宗広

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者

山口 忠久

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者

小田 雅美

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人

弁理士 青木 朗 (外3名)

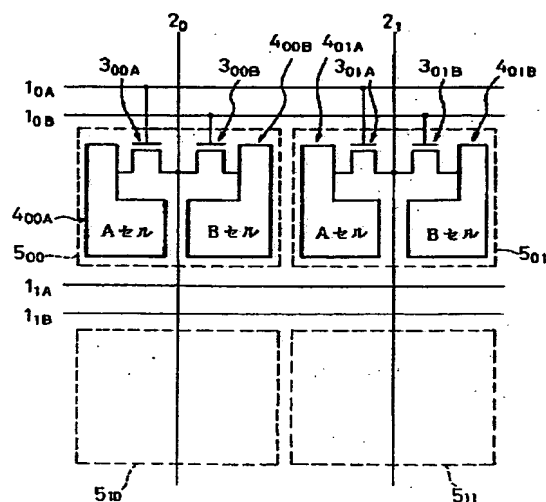
(54)【発明の名称】 液晶表示装置

(57)【要約】

【目的】 本発明は液晶表示装置に関し、表示画素を独立に制御可能な複数個のセルで構成して多階調表示を行なう時にデータバスドライバの構成数の増加を抑え、低コストの多階調用液晶表示装置の実現を目的とする。

【構成】 液晶表示装置において、表示画素500、…は複数のセル400A、400B、…で構成され、表示画素内の各セルはゲートが異なる走査バスライン10A、10B、…に接続されたスイッチング手段300A、300B、…を介して同一のデータバスライン20、…に接続されており、走査バスライン10A、10B、…には異なるタイミングで走査信号が供給されるように構成する。

本発明の原理を示す基本構成図



1 m...走査バスライン  
2 n...データバスライン  
3 p q x...スイッチング手段  
4 p q x...セル

## 【特許請求の範囲】

【請求項1】 液晶表示装置において、  
表示画素（500，…）は、複数のセル（400a，  
400b，…）で構成され、  
前記表示画素内の各セルは、ゲートが異なる走査バス  
ライン（10a，10b，…）に接続されたスイッチング手段  
（300a，300b，…）を介して同一のデータバスライ  
ン（20，…）に接続されており、前記走査バスライ  
ン（10a，10b，…）には異なるタイミングで走査信号が  
供給されることを特徴とする液晶表示装置。

【請求項2】 前記表示画素内の各セルは異なる面積を  
有することを特徴とする請求項1に記載の液晶表示装  
置。

【請求項3】 前記表示画素内の各表示セルがそれぞれ  
前記データバスラインに接続された状態となる時に、当  
該データバスラインに供給される印加電圧が表示セル毎  
に異なることを特徴とする請求項1に記載の液晶表示装  
置。

【請求項4】 前記表示画素内の各表示セルがそれぞれ  
前記データバスラインに接続された状態となる時に、当  
該データバスラインに供給される印加電圧が表示セル毎  
に異なることを特徴とする請求項2に記載の液晶表示装  
置。

【請求項5】 請求項4に記載の液晶表示装置であつ  
て、  
前記表示画素は面積比がa：bの二個のセルで構成さ  
れ、該セルにそれぞれVAとVBを最小単位として最大  
n-1段階までの電圧を基本電圧V0に加えた電圧が印  
加可能であり、前記aがbより小さい時に、 $VB = (n \cdot VA \cdot a) / b$  の関係を有することを特徴とする請求  
項4に記載の液晶表示装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、多階調表示を行なう液  
晶表示装置に関し、特に一画素を独立して制御可能な複  
数のセルで構成した液晶表示装置に関する。

## 【0002】

【従来の技術】各表示画素の表示状態を独立して制御可  
能な液晶表示装置が広く利用されている、液晶表示装置  
は薄くて、低消費電力であるという特長を活してOA機  
器等の表示端末として普及している。本発明は、液晶表  
示装置であれば、単純マトリックス方式及びアクティブ  
マトリックス方式を問わず適用可能であるが、ここでは  
TFTを用いたアクティブマトリックス方式を例として  
以下の説明を行なう。

【0003】液晶表示装置が主として使用されるパーソ  
ナルコンピュータ等のOA機器では、グラフィック表示  
の高機能化が求められており、液晶表示装置も多階調表  
示機能を有するものが要望されている。液晶表示装置で  
多階調を表示するもっとも一般的な方法は、階調段階に

応じて液晶セルへの印加電圧を変化させる方法である。

【0004】図6は、階調段階に応じて印加電圧を変化  
させる液晶表示装置の基本構成を示す図である。図6に  
おいて、600は液晶パネルであり、垂直な二方向に配  
列された走査バスライン610，611，…とデータバ  
スライン620，621，…との交差部分に液晶電極6  
400等がマトリックス状に配列されている。表示電極6  
400は、ゲートが走査バスライン610に接続された薄  
膜トランジスタ（TFT）6300を介してデータバスラ  
イン620に接続されている。各走査バスラインにはフ  
レーム表示サイクルを一周期として順次走査信号が印加  
される。走査信号が印加された走査バスラインに接続さ  
れたTFTはオン状態となり、その時の各データバスラ  
インの電圧が各表示電極に印加される。走査バスライ  
ンへの走査信号の印加が終了するとTFTはオフ状態とな  
り、表示電極に印加された電圧は次の走査信号が印加さ  
れるまで保持される。液晶に印加される電圧はフレーム  
毎に正負逆極性の電圧が印加される。表示電極と対向す  
るコモン電極との間には液晶が充填されている。なお表  
示電極と液晶等を含めて、ここでは表示画素と呼ぶこと  
にする。

【0005】以上は通常のアクティブマトリックス方式  
液晶表示装置についての説明であり、他に対向型等若干  
異なる方式があるが、ここでは説明を省略する。液晶パ  
ネル600の走査バスライン及びデータバスラインに走  
査信号及びデータ電圧を印加するのが、走査バスドライ  
バ及びデータバスドライバと呼ばれるものである。図6  
において、シフトレジスタ661とドライバ662が走  
査バスドライバを形成し、シフトレジスタ671とラッ  
チ672とセレクト673とドライバ674がデータバ  
スドライバを形成する。68は制御部であり、タイミン  
グ信号を発生する。69は階調電圧発生部であり、デー  
タバスラインに印加される各階調のデータ電圧を発生す  
る。

【0006】走査バスドライバを形成するシフトレジス  
タ661は、垂直同期信号（VSYNC）でフレームを  
開始させるパルスを発生させ、水平同期信号（HSYN  
C）に応じてオン状態にするライン位置を順次移動させ  
る。ドライバ662はシフトレジスタ661からの出力  
を走査バスラインに印加する。データバスドライバを形  
成するシフトレジスタは、外部より入力される階調を表  
わすデジタルデータを受け、制御部68からのクロッ  
ク信号に応じてデータバスライン数だけ順次シフトす  
る。ラッチ672は水平方向のデータシフトが終了した  
時にHSYNCに応じてシフトレジスタ672の出力を  
ラッチする。セレクト673はラッチ672からの各デ  
ータライン毎の階調データで階調電圧発生部69からの  
対応する階調電圧を選択する。そしてこれをドライバ6  
74がデータバスラインに印加する。

【0007】以上が液晶セルへの印加電圧を変化させて

多階調表示を行なう方法の説明であるが、この方法ではデータバスドライバの階調電圧の入力数が10前後しか実現できないため、階調段階をあまり微細にできないという問題がある。多階調表示をする他の方法として、一個の表示画素を複数の独立して制御可能な複数のセルで構成し、オン状態のセルの数とオフ状態のセルの数との割合で多階調を表示する方法がある。

【0008】図7は上記のような表示画素を独立に制御可能な複数のセルで構成する従来例の一個の表示画素を示す図である。図において、71は走査バスラインであり、72Aと72Bはデータバスラインである。74Aと74Bは表示画素を構成する二個のセルであり、ゲートが走査バスライン71に接続されたTFT73Aと73Bを介してデータバスライン72Aと72Bにそれぞれ接続されている。

【0009】図7では二個のセルで表示画素を構成したが、セルの個数を増加させることにより、より微細な階調表現が可能になる。しかし表示画素を複数のセルに分割するため、全体ではセルの数が増加し、非常なコスト増加を招くという問題がある。そこで上記の二つの方法を組み合わせた多階調表示が行なわれる。これは例えば、図7のデータバスライン72Aと72Bに階調に対応した電圧レベルを印加する方法であり、もし四階調表示が可能な同一種類のデータバスドライバで各データバスドライバ72Aと72Bを駆動する場合、表1に示すような各セルの表示状態の組み合わせにより、7階調表示が可能である。

【0010】

【表1】

階調の組み合わせ

セルA	セルB	階調値(A+B)	階調数
0	0	0	1
0	1	1	2
1	1	2	3
1	2	3	4
2	2	4	5
2	3	5	6
3	3	6	7

【0011】

【発明が解決しようとする課題】図7に示すように、印加する電圧を多段階にする方法と表示画素の複数のセルへの分割による方法を組み合わせた多階調液晶表示装置では、セルの数だけデータバスラインを増加させている。しかもこれらのセルは独立に制御可能であることが必要であり、その分だけデータバス内部の回路も増加す

ることになる。

【0012】図6に基づいた説明からも明らかなように、階調に応じてデータバスラインへの印加電圧を変化させる時には、走査バスドライバに比べてデータバスドライバは複雑で、その分だけ大きな実装面積を必要とし、高価である。そのため図7に示すようなデータバスラインの増加はコスト増加及び大型化という問題を生じさせる。

【0013】またパーソナルコンピュータでは通常640×400ドットの表示画面を有するため、走査バスラインは400本に対し、データバスラインは640本である。しかもカラー表示の場合には、データバスラインは3倍の1920本にもなるため、図7に示すようなセルへの分割数に応じてデータバスラインを増加させるのは非常に困難であるという問題がある。

【0014】本発明は上記問題点を解決することを目的とし、表示画素を複数のセルで構成して多階調表示を可能にした液晶表示装置において、データバスラインの増加及びデータバスドライバ内の回路数の増加を抑えることを目的とする。

【0015】

【課題を解決するための手段】図1は、本発明の原理を示す基本構成図であり、表示画素を二個のセルで構成した本発明の液晶表示装置の表示パネルの一部を示している。図1において、10A、10B、11A及び11Bは走査バスラインであり、20及び21はデータバスラインである。500、501、510及び511は表示画素を表わしている。各表示画素は複数のセルで構成されている。例えば単位表示セル500はAセル400AとBセル400Bで構成されている。そして表示画素内の各セルはゲートが異なる走査バスラインに接続されたスイッチング手段を介して同一のデータバスラインに接続されている。すなわち、Aセル400Aはゲートが走査バスライン10Aに接続されたスイッチング手段300Aを介してデータバスライン20に接続され、Bセル400Bはゲートが走査バスライン10Bに接続されたスイッチング手段300Bを介して、同一のデータバスライン20に接続されている。走査バスライン10Aと10Bには異なるタイミングで走査信号が供給される。

【0016】

【作用】階調表現を行なうには、表示画素内の各セルが独立して制御可能であることが必要である。図2は、図1の構成を有する本発明の液晶表示装置を駆動するための信号波形の例を示しており、(a)はインターレース方式であり、(b)は表示画素内のセルを連続して駆動する方式である。

【0017】図2の(a)において、VSYNC信号は液晶パネルを上から下まで走査する期間を表わす垂直同期信号であり、ここでは1フレームの画面を表示する間に二回のパルスが発生される。VSYNC信号で定めら

5

れる二つの期間をaフレームとbフレームとする。aフレームでは、走査バスラインのうちの番号にAが付加されている側の走査バスラインに上から下に順に走査信号が印加され、これに接続されるスイッチング手段が順次オン状態となり、その時のデータバスラインの電圧が順次Aセルに書き込まれる。aフレームの間、Bで表わされる側の走査バスラインには走査信号が印加されないためBセルへの書き込みは行なわれず、その状態が保持される。

【0018】逆にbフレームでは、Bセルへの書き込みが行なわれ、Aセルはaフレームで書き込まれた状態を保持する。上記のような駆動信号を印加することにより、各セルには独立に書き込みが行なえる。図2の

(b)は、表示画素内の各セルを連続して駆動する例を示しており、A側の走査バスラインに走査信号が印加されると、次は隣接するB側の走査バスラインに走査信号が印加される。

【0019】以上は表示画素を二個のセルで構成した例であるが、三個以上のセルで構成した場合も同様である。もしデータバスドライバが階調表示に対応した多段階の電圧を印加することが可能なものであれば、より細かな階調表現が可能である。例えば、二個のセルが同一の面積を有し、データバスドライバが四段階の電圧を出力可能であれば、表1に示すような7段階の階調表現が可能である。

【0020】

【実施例】図3は、本発明の第一実施例を示す図である。図3において、300は液晶パネルであり、図1と同様な構成を有している。すなわち一表示画素は二個の同一面積のAセルとBセルで構成され、走査バスラインもAとBの組に分けられ、AセルはA側の対応する走査バスラインに走査信号が印加された時にデータバスラインに接続された状態となり、BセルはB側の走査バスラインに走査信号が印加された時に同一のデータバスラインに接続された状態になる。スイッチング手段はTFTである。

【0021】36Aと36Bは液晶パネル300の両側に設けられた第一及び第二走査バスドライバであり、AとBの組の走査バスラインにそれぞれ走査信号を印加する。37はデータバスドライバであり、38は制御信号を発生する信号発生器である。第一電源39Aと第二電源39Bは、データバスドライバ37がデータバスラインに印加する電圧レベルを生成する部分で、第一電源39Aは最終的な表示レベルで0から0.3までを0.1毎に4段階表示する電圧を発生させ、第二電源39Bは0から1.2までを0.4毎に4段階表示する電圧を発生させる。391はデータバスドライバ37に入力する電源を切り換えるスイッチであり、フレーム信号で制御される。

【0022】図4は第一実施例における制御信号の一部

6

を示す図である。各フレームはaフレームとbフレームに分割されている。第一走査バスドライバ36Aに入力されるVSYNCA信号はaフレームの開始時にパルスが発生させる信号であり、第一走査バスドライバ36Aはこれに応じてaフレームにおいてAの組の走査バスラインに順次走査信号を印加する。VSYNCB信号も同様である。フレーム信号はaフレームの期間は「低」状態であり、bフレームの期間は「高」状態である。スイッチ391はこのフレーム信号を受けて、aフレーム中は第一電源39Aをデータバスライン37に接続し、bフレーム中は第二電源39Bをデータバスライン37に接続する。

【0023】第一実施例において表現可能な階調の組み合わせを示したのが表2である。

【0024】

【表2】

階調の組み合わせ

セル A	セル B	階調値(A+B)	階調数
0	0	0	1
0.1	0	0.1	2
0.2	0	0.2	3
0.3	0	0.3	4
0	0.4	0.4	5
0.1	0.4	0.5	6
0.2	0.4	0.6	7
0.3	0.4	0.7	8
0	0.8	0.8	9
0.1	0.8	0.9	10
0.2	0.8	1.0	11
0.3	0.8	1.1	12
0	1.2	1.2	13
0.1	1.2	1.3	14
0.2	1.2	1.4	15
0.3	1.2	1.5	16

【0025】aフレームでは第一電源39Aが接続されるため、Aセルで表現できるのは0、0.1、0.2、0.3の4段階であり、同様にBセルで表現できるのは0、0.4、0.8、1.2の4段階である。従って一表示画素では表2のような組み合わせが可能であり、合計16階調が表現できる。第一実施例では、セルの大きさは同一であったが、これを他の任意の比率にすることも可能である。第二実施例は、図5に示すようにAセルと

Bセルの面積比を1:2としたセル構成を有する。他の部分は図3と同様であるが、第二電源39Bのみを0から0.6まで0.2毎の4段階の表示電圧を発生させるとする。

\*【0026】第二実施例において表現可能な階調の組み合わせを示したのが表3である。

【0027】

\*【表3】

階調の組み合わせ

セルA	セルB	階調値(A+2・B)	階調数
0	0	0	1
0.1	0	0.1	2
0.2	0	0.2	3
0.3	0	0.3	4
0	0.2	0.4	5
0.1	0.2	0.5	6
0.2	0.2	0.6	7
0.3	0.2	0.7	8
0	0.4	0.8	9
0.1	0.4	0.9	10
0.2	0.4	1.0	11
0.3	0.4	1.1	12
0	0.6	1.2	13
0.1	0.6	1.3	14
0.2	0.6	1.4	15
0.3	0.6	1.5	16

【0028】この場合も連続した16階調が表現可能である。第二実施例においては、第一実施例に比べて第二電源の電圧範囲を小さくできるという利点がある。次に一単位画素を二個のセルで構成した時に、連続的な階調表現での最大階調表現を可能にする条件について考えてみる。いまセルの面積比をa:b (a<b)とする。そして、n階調のデータドライバを用いる場合、大きさがaのセルを駆動する時のデータドライバ入力電圧をV

0,  $V_0 + V_A$ , ...,  $V_0 + (n-1) \cdot V_A$ とした場合、大きさがbのセルを駆動する時のデータドライバの入力電圧を $V_0$ ,  $V_0 + V_B$ , ...,  $V_0 + (n-1) \cdot V_B$  (ただし $V_B = n \cdot a / b \cdot V_A$ ) に設定することで表4に示すように $n^2$ の階調が実現できる。

【0029】

【表4】

## 階調の組合わせ

Aセル	Bセル	階調値 $(A+b/a \cdot B)$	階調数
$V_0$	$V_0$	$V_0 + b/a \cdot V_0$	1
$V_0 + V_A$	$V_0$	$V_0 + V_A + b/a \cdot V_0$	2
$V_0 + 2 \cdot V_A$	$V_0$	$V_0 + 2 \cdot V_A + b/a \cdot V_0$	3
⋮	⋮	⋮	⋮
$V_0 + (n-1) \cdot V_A$	$V_0$	$V_0 + (n-1) \cdot V_A + b/a \cdot V_0$	n
$V_0$	$V_0 + n \cdot a/b \cdot V_A$	$V_0 + n \cdot V_A + b/a \cdot V_0$	n+1
$V_0 + V_A$	$V_0 + n \cdot a/b \cdot V_A$	$V_0 + (n+1) \cdot V_A + b/a \cdot V_0$	n+2
$V_0 + 2 \cdot V_A$	$V_0 + n \cdot a/b \cdot V_A$	$V_0 + (n+2) \cdot V_A + b/a \cdot V_0$	n+3
⋮	⋮	⋮	⋮
$V_0 + (n-1) \cdot V_A$	$V_0 + n \cdot a/b \cdot V_A$	$V_0 + (2n-1) \cdot V_A + b/a \cdot V_0$	2n
$V_0$	$V_0 + 2n \cdot a/b \cdot V_A$	$V_0 + 2n \cdot V_A + b/a \cdot V_0$	2n+1
$V_0 + V_A$	$V_0 + 2n \cdot a/b \cdot V_A$	$V_0 + (2n+1) \cdot V_A + b/a \cdot V_0$	2n+2
$V_0 + 2 \cdot V_A$	$V_0 + 2n \cdot a/b \cdot V_A$	$V_0 + (2n+2) \cdot V_A + b/a \cdot V_0$	2n+3
⋮	⋮	⋮	⋮
$V_0 + (n-1) \cdot V_A$	$V_0 + 2n \cdot a/b \cdot V_A$	$V_0 + (3n-1) \cdot V_A + b/a \cdot V_0$	2n+4
⋮	⋮	⋮	⋮
$V_0$	$V_0 + (n-1) \cdot n \cdot a/b \cdot V_A$	$V_0 + (n-1) \cdot n \cdot V_A + b/a \cdot V_0$	$(n-1) \cdot n+1$
$V_0 + V_A$	$V_0 + (n-1) \cdot n \cdot a/b \cdot V_A$	$V_0 + ((n-1) \cdot n+1) \cdot V_A + b/a \cdot V_0$	$(n-1) \cdot n+2$
$V_0 + 2 \cdot V_A$	$V_0 + (n-1) \cdot n \cdot a/b \cdot V_A$	$V_0 + ((n-1) \cdot n+2) \cdot V_A + b/a \cdot V_0$	$(n-1) \cdot n+3$
⋮	⋮	⋮	⋮
$V_0 + (n-1) \cdot V_A$	$V_0 + (n-1) \cdot n \cdot a/b \cdot V_A$	$V_0 + (n^2-1) \cdot V_A + b/a \cdot V_0$	$n^2$

【0030】以上の実施例では2分割構成で説明していたが3分割以上にしてもよい。また、データドライバに供給する電源の切り換えをフレーム単位でおこなっていたが、数ライン走査毎に切り換えてもよい。さらに、液晶パネルとしてTFT-LCDを用いていたがSTN-LCD等の単純マトリクス構造の液晶ディスプレイに用いてもよい。更に本発明は他のアクティブマトリクス型表示装置も適用可能である。

【0031】

【発明の効果】以上説明したように、本発明によれば画素を独立して制御可能なセルに分割して多階調表示を行

40 なる場合に、複雑で高価なデータバスドライバの構成数が低減できるため、階調表現可能なアクティブマトリクス型表示装置が安価に実現できる。

【図面の簡単な説明】

【図1】本発明の原理を示す基本構成図であり、本発明の液晶表示装置の表示部の一部を示す。

【図2】図1の構成における信号波形の例を示す図である。

【図3】本発明の第一実施例の構成を示す図である。

【図4】第一実施例における制御信号を示す図である。

50 【図5】第二実施例におけるセル構成を示す図である。



11

【図6】階調に応じてデータバスラインに印加する電圧を変化させて多階調表示をするアクティブマトリックス型液晶表示装置の基本構成を示す図である。

【図7】表示画素を複数セルで構成する従来例を示す図である。

【符号の説明】

12

10A, 10B, 11A, 11B…走査バスライン

20, 21…データバスライン

300A, 300B, 301A, 301B…スイッチング手段

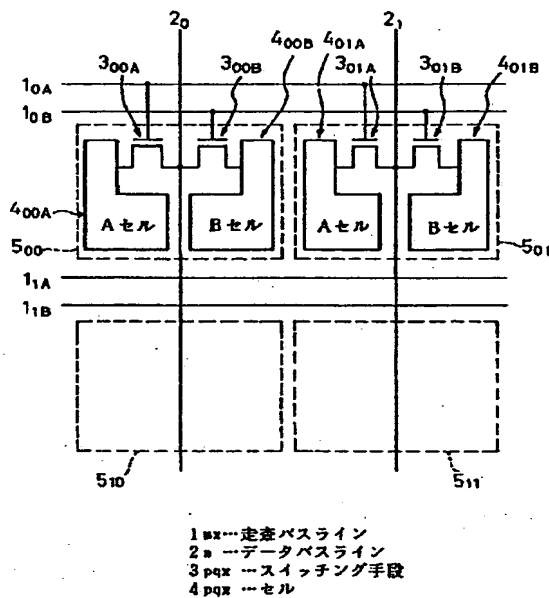
400A, 401A…Aセル

400B, 401B…Bセル

500, 501, 510, 511…表示画素

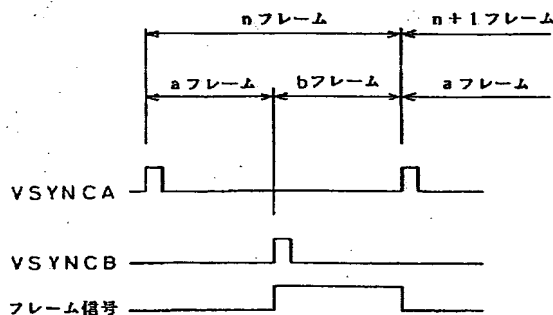
【図1】

本発明の原理を示す基本構成図



【図4】

第一実施例における制御信号

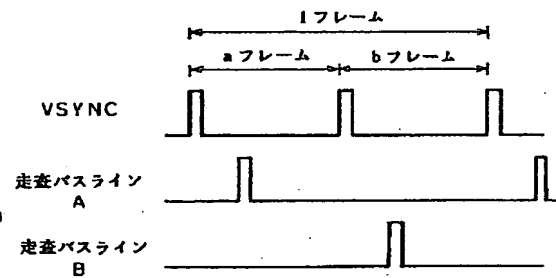


【図2】

図1の構成における信号波形の例

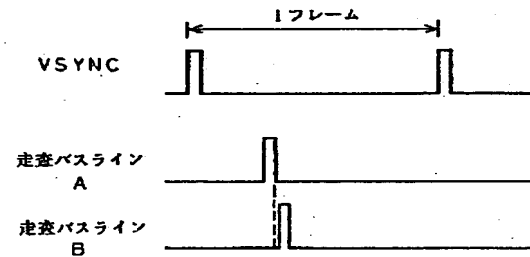
(a)

インターレース方式



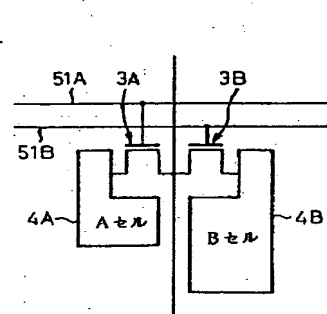
(b)

連続



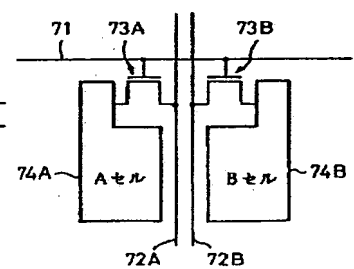
【図5】

第二実施例におけるセル構成



【図7】

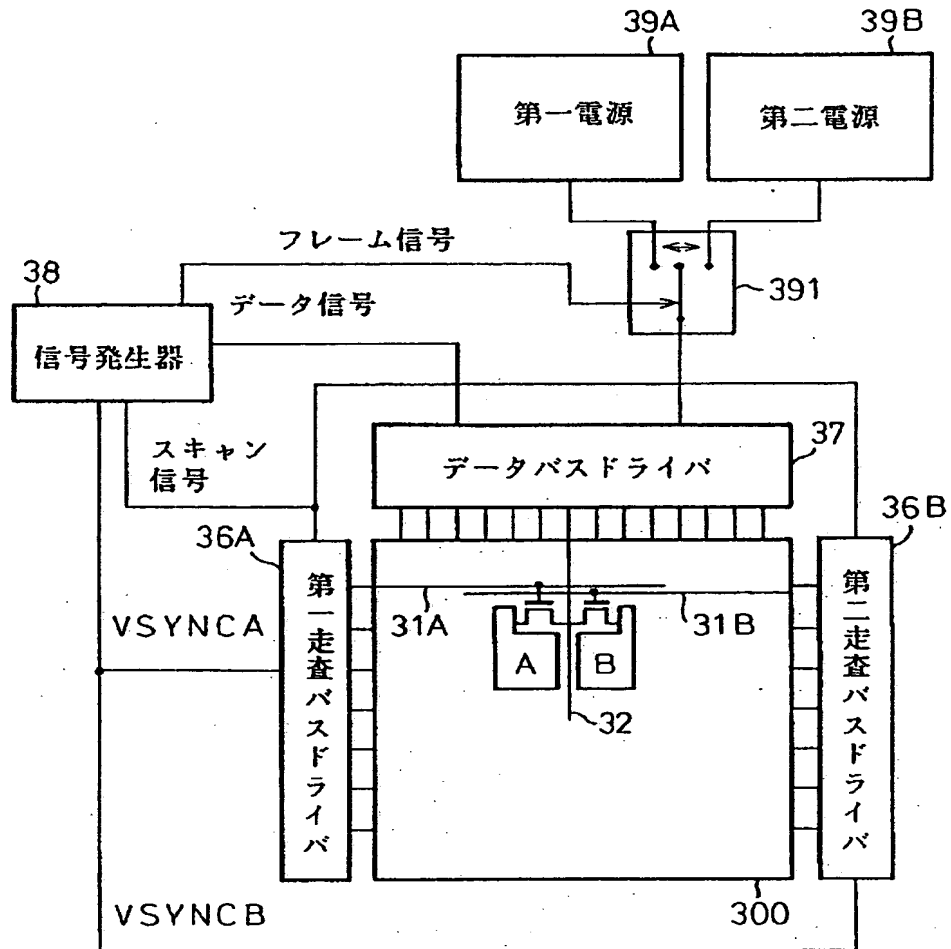
表示画素を複数セルで構成する従来例



71…走査バスライン  
72A, 72B…データバスライン  
73A, 73B…TFT

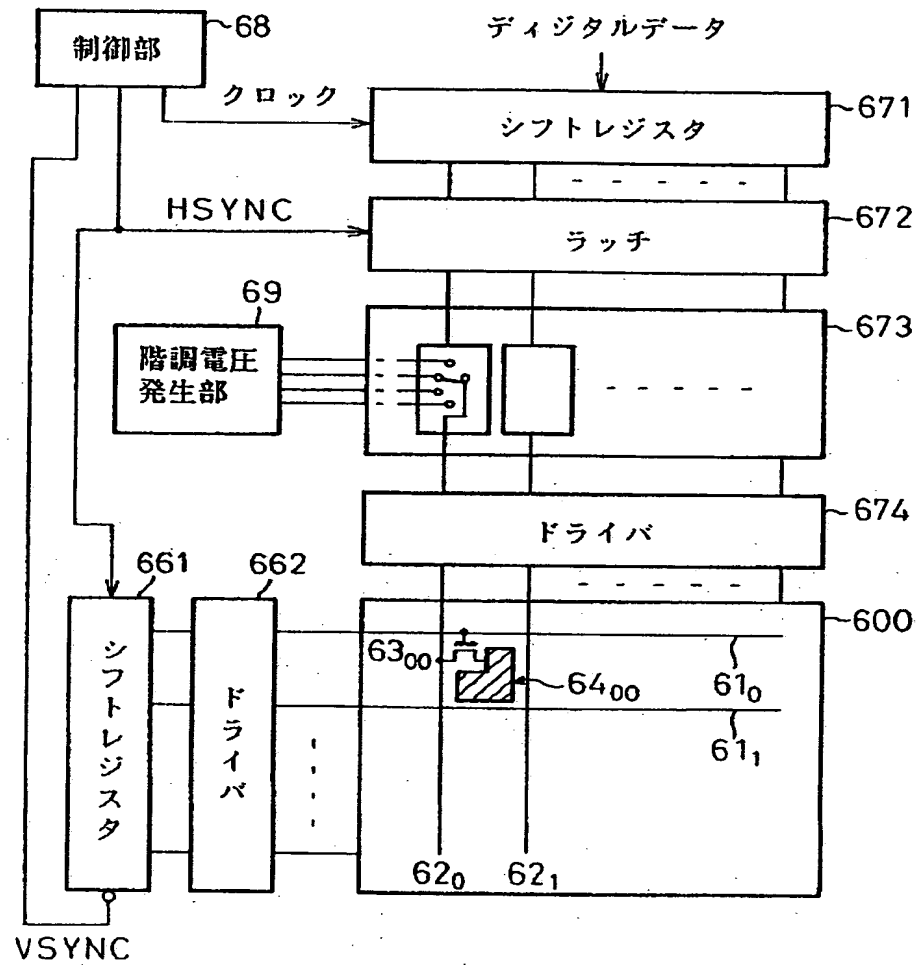
【図3】

## 本発明の第一実施例の構成



【図6】

## アクティブマトリックス型液晶表示装置の基本構成



600...表示パネル